



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Shinji NAKAMIYA et al.

APR 13 2001

TO 2000 : Group Art Unit: 2817

Handwritten notes:
Priority
#1
4/22/01

Application No.: 09/631,697

Filed: August 3, 2001

Docket No.: 040336.02

For: OSCILLATION CIRCUIT, ELECTRONIC CIRCUIT USING THE
SAME, AND SEMICONDUCTOR DEVICE, ELECTRONIC
EQUIPMENT, AND TIMEPIECE USING THE SAME

CLAIM FOR PRIORITY

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2000-183384 filed June 19, 2000.

In support of this claim, a certified copy of said original foreign application:

 X is filed herewith.

 was filed on in Parent Application No. filed .

 will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

Handwritten signature of James A. Oliff

James A. Oliff
Registration No. 27,075

Kevin M. McKinley
Registration No. 43,794

JAO:KMM/fpw

Date: April 17, 2001

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

**DEPOSIT ACCOUNT USE
AUTHORIZATION**
Please grant any extension
necessary for entry;
Charge any fee due to our
Deposit Account No. 15-0461



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

2000年 6月19日

出 願 番 号
Application Number:

特願2000-183384

願 人
Applicant(s):

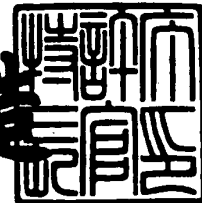
セイコーエプソン株式会社

RECEIVED
APR 19 2001
TO 2000 MAIL ROOM

2001年 3月30日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3025713

【書類名】 特許願

【整理番号】 EP-0241101

【提出日】 平成12年 6月19日

【あて先】 特許庁長官殿

【国際特許分類】 G04G 3/00

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 中宮 信二

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 門脇 忠雄

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

【氏名又は名称】 大 瀬 美 千 栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 発振回路、電子回路、半導体装置、電子機器および時計

【特許請求の範囲】

【請求項 1】 第 1 の半導体スイッチング素子と、第 2 の半導体スイッチング素子を有する信号反転増幅器を含み、

前記第 1 の半導体スイッチング素子及び第 2 の半導体スイッチング素子は、前記信号反転増幅器に流れるショート電流を制限するために、共通オン期間を持たないように駆動される発振回路であって、

前記第 1 の半導体スイッチング素子及び第 2 の半導体スイッチング素子の少なくとも一方と並列に定電流源を接続し、前記定電流源から安定発振に必要な不足電力を供給することを特徴とする発振回路。

【請求項 2】 第 1 の半導体スイッチング素子と、第 2 の半導体スイッチング素子を有する信号反転増幅器を含み、

前記第 1 の半導体スイッチング素子及び第 2 の半導体スイッチング素子は、前記信号反転増幅器に流れるショート電流を制限するために、共通オン期間を持たないように駆動される発振回路であって、

前記第 1 の半導体スイッチング素子及び第 2 の半導体スイッチング素子の少なくとも一方と並列に接続され異なる定電流を供給する複数の定電流源と、

前記複数の定電流源から、安定発振に必要な不足電力を供給する定電流源を選択する選択回路と、

を含むことを特徴とする発振回路。

【請求項 3】 請求項 1、2 のいずれかにおいて、

信号反転増幅器の電源電圧の絶対値は、安定発振に必要な電力を供給するための必要最小の値に設定されたことを特徴とする発振回路。

【請求項 4】 請求項 2 において、

安定発振に必要な信号反転増幅器の最小電源電圧の絶対値と、信号反転増幅器の電源電圧の量産時におけるばらつき幅の値だけ前記最小電源電圧の絶対値より小さな第 1 の電源電圧の絶対値との間の値に、

前記信号反転増幅器の設計狙い電源電圧の絶対値が設定され、

前記選択回路は、

実量産時における信号反転増幅器の電源電圧の値に対応して、安定発振に必要な不足電力を供給する定電流源を選択することを特徴とする発振回路。

【請求項 5】 請求項 1 ～ 4 のいずれかにおいて、

前記定電流源は、

前記第 1 の半導体スイッチング素子と並列に接続され異なる定電流を供給する複数の定電流源と、

前記第 2 の半導体スイッチング素子と並列に接続され異なる定電流を供給する複数の定電流源と、

を含み、

前記選択回路は、

前記複数の定電流源から、安定発振に必要な不足電力を供給する定電流源を選択することを特徴とする発振回路。

【請求項 6】 請求項 1 ～ 5 のいずれかにおいて、

前記第 1 の半導体スイッチング素子の閾値電圧の絶対値と、第 2 の半導体スイッチング素子の閾値電圧の絶対値の和が、信号反転増幅器の電源電圧の絶対値以上の値に設定され、前記信号反転増幅器に流れるショート電流を制限することを特徴とする発振回路。

【請求項 7】 請求項 1 ～ 5 のいずれかにおいて、

前記信号反転増幅器の出力側と入力側との間に接続された水晶振動子を有し、前記信号反転増幅器の出力信号を位相反転して、前記信号反転増幅器にフィードバック入力するフィードバック回路を含み、

前記信号反転増幅器は、

前記第 1 の半導体スイッチング素子を含む第 1 の回路と、

前記第 2 の半導体スイッチング素子を含む第 2 の回路と、

を含み、

前記第 1 の半導体スイッチング素子は、

第 1 の電位側に接続され、前記フィードバック入力によりオンオフ駆動され前

記水晶振動子を励振駆動するように構成され、

前記第2の半導体スイッチング素子は、

前記第1の電位と異なる第2の電位側へ接続され、前記フィードバック入力により前記第1の半導体スイッチング素子と異なるタイミングでオンオフ駆動され前記水晶振動子を励振駆動するように構成されることを特徴とする発振回路。

【請求項8】 請求項6、7のいずれかにおいて、

前記第1の半導体スイッチング素子及び第2の半導体スイッチング素子が、共通オン期間を持たないように、それぞれがオフ駆動されるオフ領域は、

サブ閾値電流の流れるサブ閾値領域を含むことを特徴とする発振回路。

【請求項9】 請求項6、7のいずれかにおいて、

前記第1の半導体スイッチング素子の閾値電圧の絶対値を $|V_1|$ 、第2の半導体スイッチング素子の閾値電圧の絶対値を $|V_2|$ とし、信号反転増幅器の電源電圧の絶対値を $|V_{reg}|$ とすると、

前記第1及び第2の半導体スイッチング素子の閾値電圧の絶対値の和が、次式を満足するように設定され、

$$|V_{reg}| \leq |V_1| + |V_2|$$

さらに、前記第1及び第2の半導体スイッチング素子の各閾値電圧の絶対値は、それぞれ次式で示すように信号反転増幅器の電源電圧の絶対値を下回る値となるように設定されている

$$|V_{reg}| > |V_1|$$

$$|V_{reg}| > |V_2|$$

ことを特徴とする発振回路。

【請求項10】 請求項1～5のいずれかにおいて、

前記第1の半導体スイッチング素子および第2の半導体スイッチング素子のゲートに、第1の直流バイアス電圧および第2の直流バイアス電圧を印加するバイアス回路を含み、

前記第1の直流バイアス電圧および第2の直流バイアス電圧は、

第1の半導体スイッチング素子および第2の半導体スイッチング素子が共通オン期間を持たない値に、前記第1の半導体スイッチング素子および第2の半導体

スイッチング素子の各ゲートに入力される前記信号反転増幅器のフィードバック
 入力の直流電位を個別にシフトさせることを特徴とする発振回路。

【請求項 1 1】 請求項 1～5 のいずれかにおいて、

前記信号反転増幅器の出力側と入力側との間に接続された水晶振動子を有し、
 前記信号反転増幅器の出力信号を位相反転して、前記信号反転増幅器にフィード
 バック入力するフィードバック回路と、

前記信号反転増幅器に直流バイアス電圧を印加するバイアス回路と、
 を含み、

前記信号反転増幅器は、

前記第 1 の半導体スイッチング素子を含み、第 1 の電位側に接続された第 1 の
 回路と、

前記第 2 の半導体スイッチング素子を含み、前記第 1 の電位と異なる第 2 の電
 位側へ接続された第 2 の回路と、

を含み、

前記第 1 の半導体スイッチング素子は、

第 1 の電位側に接続され、ゲートに入力される前記フィードバック入力により
 オンオフ駆動され前記水晶振動子を励振駆動するように構成され、

前記第 2 の半導体スイッチング素子は、

前記第 1 の電位と異なる第 2 の電位側へ接続され、ゲートに入力される前記フ
 ィードバック入力により前記第 1 の半導体スイッチング素子と異なるタイミング
 でオンオフ駆動され前記水晶振動子を励振駆動するように構成され、

前記バイアス回路は、

前記第 1 の半導体スイッチング素子のゲートに、第 1 の直流バイアス電圧を印
 加する第 1 のバイアス回路と、

前記第 2 の半導体スイッチング素子のゲートに、第 2 の直流バイアス電圧を印
 加する第 2 のバイアス回路とを、含み、

前記第 1 の直流バイアス電圧および第 2 の直流バイアス電圧は、

前記第 1 の半導体スイッチング素子および第 2 の半導体スイッチング素子が共
 通オン期間を持たない値に、前記第 1 の半導体スイッチング素子および第 2 の半

導体スイッチング素子の各ゲートに入力される前記信号反転増幅器のフィードバック入力の直流電位を個別にシフトさせることを特徴とする発振回路。

【請求項 1 2】 請求項 1 0、1 1 のいずれかにおいて、

前記第 1 の直流バイアス電圧は、前記第 1 の電位に設定され、前記第 2 の直流バイアス電圧は、前記第 2 の電位に設定されることを特徴とする発振回路。

【請求項 1 3】 請求項 1 ～ 1 2 のいずれかにおいて、

前記第 1 および第 2 の半導体スイッチング素子は、

異なる導電型の電界効果トランジスタ素子を用いて構成されたことを特徴とする発振回路。

【請求項 1 4】 請求項 1 ～ 1 3 のいずれかにおいて、

発振回路の水晶振動子として、機械振動のし易さを表す指数 Q 値の高いものを使用することを特徴とする発振回路。

【請求項 1 5】 請求項 1 4 において、

前記 Q 値は次式で表され、その値は 1 0 0 0 0 以上であることを特徴とする発振回路。

$$Q = \alpha / R \times t$$

R × t : 水晶振動子の抵抗成分

α : 係数

【請求項 1 6】 請求項 1 ～ 1 5 のいずれかにおいて、

前記各半導体スイッチング素子の閾値電圧 V_T は、シリコン結晶表面の伝導型が完全に反転するときのゲート電圧として次式で表されることを特徴とする発振回路。

$$V_T = 2 \phi_E + [2 \cdot \epsilon_S \cdot q \cdot N_A \cdot (2 \phi_E)]^{1/2} / (\epsilon_S / d)$$

ϕ_E : フェルミ電位

ϵ_S : ϵ_{Si} (シリコンの比誘電率) × ϵ_0 (真空の誘電率)

q : 電子の電荷

N_A : 基板濃度

d : 酸化膜厚み

【請求項 1 7】 請求項 1 ～ 1 6 のいずれかの発振回路を備えたことを特徴とする電子回路。

【請求項 1 8】 請求項 1 ～ 1 6 のいずれかの発振回路を含んで構成されることを特徴とする半導体装置。

【請求項 1 9】 請求項 1 ～ 1 6 のいずれかの発振回路を含んで構成されることを特徴とする電子機器。

【請求項 2 0】 請求項 1 ～ 1 6 のいずれかの発振回路を含んで構成されることを特徴とする時計。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、発振回路、これを用いた電子回路、半導体装置、電子機器および時計に関する。

【 0 0 0 2 】

【背景技術】

従来より、携帯用の腕時計や、携帯用の電話、コンピュータ端末などには、発振回路が広く用いられている。このような携帯型の電子機器では、消費電力を節約し、電池の長寿命化を図ることが必要となる。

【 0 0 0 3 】

前記水晶発振回路は、信号反転増幅器と、水晶振動子を備えたフィードバック回路とを含んで構成される。前記信号反転増幅器は、一対のトランジスタを含み、各トランジスタは、例えばそのゲートが入力側、ドレインが出力側として用いられる。この場合、前記各トランジスタは、それらのドレイン側が互いに接続され、それらのソース側が、それぞれアース、電源電圧側へ接続されている。

【 0 0 0 4 】

以上の構成の水晶発振回路では、信号反転増幅器に電源電圧を印加すると、信号反転増幅器の出力が 1 8 0 度位相反転されて前記各トランジスタのゲートにフィードバック入力される。このフィードバック動作により、信号反転増幅器を構成するトランジスタが交互にオンオフ駆動され、水晶発振回路の発振出力が次第

に増加し、ついには振動子が安定した振動を行うようになる。

【0005】

【発明が解決しようとする課題】

しかし、従来の水晶発振回路では、信号反転増幅器に印加する電圧 V_{reg} の絶対値を、次式に示すように各トランジスタの閾値電圧 V_{TP} 、 V_{TN} の絶対値の合計値以上に設定していた。

【0006】

$$|V_{reg}| > |V_{TP}| + |V_{TN}| \quad \cdots \cdots (1)$$

本発明者は、これが、信号反転増幅器内を高電位側から低電位側へショート電流 I_S が流れる原因となり、回路全体の電力消費の節減を図る上での問題となっていることを見出した。

【0007】

そして、前記信号反転増幅器に流れるショート電流を制限するために、信号反転増幅器を構成する第1の半導体スイッチング素子及び第2の半導体スイッチング素子が、共通オン期間を持たないように駆動される発振回路についての開発（特願平9-87763）を行い、信号反転増幅器に流れるショート電流を低減し、少ない電力消費で発振することができる発振回路を実現している。

【0008】

本発明の目的は、信号反転増幅器に流れるショート電流をさらに低減し、少ない電力消費でより安定して発振することができる発振回路、電子回路、半導体装置、電子機器および時計を提供することにある。

【0009】

【課題を解決するための手段】

（1）前記目的を達成するため、本発明の発振回路は、

第1の半導体スイッチング素子と、第2の半導体スイッチング素子を有する信号反転増幅器を含み、

前記第1の半導体スイッチング素子及び第2の半導体スイッチング素子は、前記信号反転増幅器に流れるショート電流を制限するために、共通オン期間を持たないように駆動される。

【 0 0 1 0 】

このような構成とすることにより、前記信号反転増幅器に流れるショート電流を制限することができ、これにより、少ない電力消費で発振することができる発振回路を得ることができる。

【 0 0 1 1 】

本発明の発振回路の特徴は、

前記第 1 の半導体スイッチング素子及び第 2 の半導体スイッチング素子の少なくとも一方と並列に定電流源を接続し、前記定電流源から安定発振に必要な不足電力を供給することにある。

【 0 0 1 2 】

以上の構成とすることにより、量産時のばらつきに起因して、安定発振に必要な電力が不足した場合でも、その不足分を半導体スイッチング素子と並列接続された定電流源から供給し、安定発振を行うことができる。これにより、量産時のばらつきに影響をされることなく、安定発振可能な低消費電力型の発振回路を得ることができる。

【 0 0 1 3 】

(2) また、本発明の発振回路は、

第 1 の半導体スイッチング素子と、第 2 の半導体スイッチング素子を有する信号反転増幅器を含み、

前記第 1 の半導体スイッチング素子及び第 2 の半導体スイッチング素子は、前記信号反転増幅器に流れるショート電流を制限するために、共通オン期間を持たないように駆動される。

【 0 0 1 4 】

以上の構成とすることにより、信号反転増幅器に流れるショート電流を制限することができ、これにより、少ない電力消費で発振することができる発振回路を得ることができる。

【 0 0 1 5 】

本発明の発振回路の特徴は、

前記第 1 の半導体スイッチング素子及び第 2 の半導体スイッチング素子の少な

くとも一方と並列に接続され異なる定電流を供給する複数の定電流源と、

前記複数の定電流源から、安定発振に必要な不足電力を供給する定電流源を選択する選択回路と、

を含むことにある。

【 0 0 1 6 】

以上の構成とすることにより、製造時のばらつきが一様でない場合であっても、ばらつきの程度に応じた不足電力を供給できる最適な定電流源の選択が可能となる。この結果、製造時のばらつきにより、安定発振に必要な不足電力が変化した場合でも、常に適切な不足電力を供給することで、少ない電力消費でより安定した発振が可能な発振回路を実現できる。

【 0 0 1 7 】

(3) 本発明において、

信号反転増幅器の電源電圧の絶対値は、安定発振に必要な電力を供給するための必要最小の値に設定されることが好ましい。

【 0 0 1 8 】

(4) 本発明において、

安定発振に必要な信号反転増幅器の最小電源電圧の絶対値と、信号反転増幅器の電源電圧の量産時におけるばらつき幅の値だけ前記最小電源電圧の絶対値より小さな第1の電源電圧の絶対値との間の値に、

前記信号反転増幅器の設計狙い電源電圧の絶対値が設定され、

前記選択回路は、

実量産時における信号反転増幅器の電源電圧の値に対応して、安定発振に必要な不足電力を供給する定電流源を選択することが好ましい。

【 0 0 1 9 】

また、本発明において、

前記定電流源は、

前記第1の半導体スイッチング素子と並列に接続され異なる定電流を供給する複数の定電流源と、

前記第2の半導体スイッチング素子と並列に接続され異なる定電流を供給する

複数の定電流源と、

を含み、

前記選択回路は、

前記複数の定電流源から、安定発振に必要な不足電力を供給する定電流源を選択することが好ましい。

【 0 0 2 0 】

以上の構成とすることにより、量産時にばらつきが発生した場合でも、発振回路を、安定発振するために必要な電圧に極めて近い低電圧で、発振回路をより効果的に省電力駆動することができる。

【 0 0 2 1 】

(5) 本発明において、

前記第1の半導体スイッチング素子及び第2の半導体スイッチング素子が、共通オン期間を持たないように、それぞれがオフ駆動されるオフ領域は、

サブ閾値電流の流れるサブ閾値領域を含むことが好ましい。

【 0 0 2 2 】

(6) 信号反転増幅器を構成する前記第1の半導体スイッチング素子及び第2の半導体スイッチング素子が、前記信号反転増幅器に流れるショート電流を制限するために、共通オン期間を持たないように駆動される発振回路の具体例を説明する。

【 0 0 2 3 】

(6-1) このような本発明の構成の一態様として、本発明の発振回路は、

前記第1の半導体スイッチング素子の閾値電圧の絶対値と、第2の半導体スイッチング素子の閾値電圧の絶対値の和が、信号反転増幅器の電源電圧の絶対値以上の値、好ましくはこの絶対値を超えた値に設定され、前記信号反転増幅器に流れるショート電流を制限する。

【 0 0 2 4 】

さらに本発明の発振回路は、

前記信号反転増幅器の出力側と入力側との間に接続された水晶振動子を有し、前記信号反転増幅器の出力信号を位相反転して、前記信号反転増幅器にフィード

バック入力するフィードバック回路を含み、

前記信号反転増幅器は、

前記第 1 の半導体スイッチング素子を含む第 1 の回路と、

前記第 2 の半導体スイッチング素子を含む第 2 の回路と、

を含み、

前記第 1 の半導体スイッチング素子は、

前記第 1 の電位側に接続され、前記フィードバック入力によりオンオフ駆動され前記水晶振動子を励振駆動するように構成され、

前記第 2 の半導体スイッチング素子は、

前記第 1 の電位と異なる第 2 の電位側へ接続され、前記フィードバック入力により前記第 1 の半導体スイッチング素子と異なるタイミングでオンオフ駆動され前記水晶振動子を励振駆動するように構成され、

前記第 1 の半導体スイッチング素子の閾値電圧の絶対値と、第 2 の半導体スイッチング素子の閾値電圧の絶対値の和が、信号反転増幅器の電源電圧の絶対値以上の値に設定され、前記信号反転増幅器に流れるショート電流を制限する。

【 0 0 2 5 】

本発明の水晶発振回路は、信号反転増幅器に電圧を印加すると、水晶振動子の励振駆動が開始される。信号反転増幅器の出力は、フィードバック回路により位相反転されてフィードバック入力される。そして、このフィードバック入力信号が、信号反転増幅器により反転増幅されて、出力されるという動作を繰り返して行う。

【 0 0 2 6 】

このとき、信号反転増幅器を構成する第 1、第 2 の半導体スイッチング素子は、前記フィードバック入力により互いに異なるタイミングでオンオフ駆動され、前記水晶振動子を励振駆動する。

【 0 0 2 7 】

本発明では、前記第 1、第 2 の半導体スイッチング素子の閾値電圧の絶対値の和が、信号反転増幅器の電源電圧の絶対値以上の値に設定されている。このため、回路駆動時に第 1、第 2 の半導体スイッチング素子が同時にオン駆動されるこ

とが避けられ、この結果、信号反転増幅器に流れるショート電流を大幅に制限し、低消費電力化を図ることができる。

【 0 0 2 8 】

特に、本発明によれば、前記閾値電圧の条件を満足するように、第 1、第 2 のトランジスタを製造することで、ショート電流対策を済ませてしまうことができ、ショート電流対策用の特別な回路部品が不要となる。これにより、回路全体の集積度を低下させることなく、水晶発振回路の低消費電力化を図ることが可能となる。

【 0 0 2 9 】

なお、本発明において、前記第 1、第 2 の半導体スイッチング素子の閾値電圧の絶対値は、いずれも信号反転増幅器の電源電圧の絶対値を下回る値に設定する必要がある。

【 0 0 3 0 】

本発明において、

前記第 1 の半導体スイッチング素子の閾値電圧の絶対値を $|V_1|$ 、第 2 の半導体スイッチング素子の閾値電圧の絶対値を $|V_2|$ とし、信号反転増幅器の電源電圧の絶対値を $|V_{reg}|$ とすると、

前記第 1 及び第 2 の半導体スイッチング素子の閾値電圧の絶対値の和が、次式を満足するように信号反転増幅器の電源電圧の絶対値以上の値に設定され、

$$|V_{reg}| \leq |V_1| + |V_2|$$

さらに、前記第 1 及び第 2 の半導体スイッチング素子の各閾値電圧の絶対値は、それぞれ次式で示すように信号反転増幅器の電源電圧の絶対値を下回る値となるように設定されている。

【 0 0 3 1 】

$$|V_{reg}| > |V_1|$$

$$|V_{reg}| > |V_2|$$

(6-2) また、本発明の構成の他の態様として、本発明の発振回路は、

前記第 1 の半導体スイッチング素子および第 2 の半導体スイッチング素子のゲートに、第 1 の直流バイアス電圧および第 2 の直流バイアス電圧を印加するバイ

アス回路を含み、

前記第 1 の直流バイアス電圧および第 2 の直流バイアス電圧は、

第 1 の半導体スイッチング素子および第 2 の半導体スイッチング素子が共通オン期間を持たない値に、前記第 1 の半導体スイッチング素子および第 2 の半導体スイッチング素子の各ゲートに入力される前記信号反転増幅器のフィードバック入力の直流電位を個別にシフトさせることを特徴とする。

【 0 0 3 2 】

更に本発明の発振回路は、

前記信号反転増幅器の出力側と入力側との間に接続された水晶振動子を有し、前記信号反転増幅器の出力信号を位相反転して、前記信号反転増幅器にフィードバック入力するフィードバック回路と、

前記信号反転増幅器に直流バイアス電圧を印加するバイアス回路と、
を含み、

前記信号反転増幅器は、

前記第 1 の半導体スイッチング素子を含み、第 1 の電位側に接続された第 1 の回路と、

前記第 2 の半導体スイッチング素子を含み、前記第 1 の電位と異なる第 2 の電位側へ接続された第 2 の回路と、

を含み、

前記第 1 の半導体スイッチング素子は、

第 1 の電位側に接続され、ゲートに入力される前記フィードバック入力によりオンオフ駆動され前記水晶振動子を励振駆動するように構成され、

前記第 2 の半導体スイッチング素子は、

前記第 1 の電位と異なる第 2 の電位側へ接続され、ゲートに入力される前記フィードバック入力により前記第 1 の半導体スイッチング素子と異なるタイミングでオンオフ駆動され前記水晶振動子を励振駆動するように構成され、

前記バイアス回路は、

前記第 1 の半導体スイッチング素子のゲートに、第 1 の直流バイアス電圧を印加する第 1 のバイアス回路と、

前記第 2 の半導体スイッチング素子のゲートに、第 2 の直流バイアス電圧を印加する第 2 のバイアス回路とを、含み、

前記第 1 の直流バイアス電圧および第 2 の直流バイアス電圧は、

前記第 1 の半導体スイッチング素子および第 2 の半導体スイッチング素子が共通オン期間を持たない値に、前記第 1 の半導体スイッチング素子および第 2 の半導体スイッチング素子の各ゲートに入力される前記信号反転増幅器のフィードバック入力の直流電位を個別にシフトさせることを特徴とする。

【 0 0 3 3 】

本発明によれば、信号反転増幅器を構成する第 1、第 2 の半導体スイッチング素子のゲートに、それぞれ第 1、第 2 の直流バイアス電圧が印加される。

【 0 0 3 4 】

前記第 1 の直流バイアス電圧および第 2 の直流バイアス電圧は、前記第 1 の半導体スイッチング素子および第 2 の半導体スイッチング素子が共通オン期間を持たない値に、前記第 1 の半導体スイッチング素子および第 2 の半導体スイッチング素子の各ゲートに入力される前記信号反転増幅器のフィードバック入力の直流電位を個別にシフトさせる。

【 0 0 3 5 】

以上の構成を採用することにより、本発明によれば、信号反転増幅器を構成する第 1、第 2 の半導体スイッチング素子が、前記フィードバック入力により互いに異なるタイミングでオンオフ駆動され、前記水晶振動子を励振駆動する際に、第 1、第 2 の半導体スイッチング素子が、共にオンする共通オン期間が発生しない。このため、信号反転増幅器に流れるショート電流を大幅に低減し、少ない電力消費で安定発振できる水晶発振回路を得ることが可能となる。

【 0 0 3 6 】

特に、本発明によれば、第 1、第 2 の半導体スイッチング素子の各閾値電圧の絶対値が小さい場合でも、信号反転増幅器のショート電流を低減することができる。このため、水晶発振回路の電源電圧をその分低い値にすることができ、この面からも、発振回路の低消費電力化を図ることが可能となる。

【 0 0 3 7 】

ここにおいて、前記第 1 の直流バイアス電圧は、前記第 1 の電位に設定され、前記第 2 の直流バイアス電圧は、前記第 2 の電位に設定されることが好ましい。

【 0 0 3 8 】

このような直流バイアス電圧の印加により、前記第 1 の半導体スイッチング素子および第 2 の半導体スイッチング素子の各ゲートへのフィードバック入力 of 直流電位が、個別に電源の第 1 の電位、第 2 の電位側にシフトされる。これにより、簡単な回路構成で、確実に信号反転増幅器のショート電流を低減することが可能な水晶発振回路を得ることができる。

【 0 0 3 9 】

(7) 本発明において、

発振回路の水晶振動子として、機械振動のし易さを表す指数 Q 値の高いものを使用することが好ましい。

【 0 0 4 0 】

さらに、前記 Q 値は次式で表され、その値は 1 0 0 0 0 以上であることが好ましい。

【 0 0 4 1 】

$$Q = \alpha / R \times t$$

R x t : 水晶振動子の抵抗成分

α : 係数

(8) 本発明において、

前記各半導体スイッチング素子の閾値電圧 V_T は、例えば、シリコン結晶表面の伝導型が完全に反転するときのゲート電圧として次式で表される。

【 0 0 4 2 】

$$V_T = 2 \phi_E + [2 \cdot \epsilon_S \cdot q \cdot N_A \cdot (2 \phi_E)]^{1/2} / (\epsilon_S / d)$$

ϕ_E : フェルミ電位

ϵ_S : ϵ_{si} (シリコンの比誘電率) $\times \epsilon_0$ (真空の誘電率)

q : 電子の電荷

N_A : 基板濃度

d : 酸化膜厚み

(9) また、本発明において、前記第 1 および第 2 の半導体スイッチング素子は、

異なる導電型の電界効果トランジスタ素子を用いて構成することができる。

【 0 0 4 3 】

また、本発明の電子回路は、

前述した本発明の発振回路を備えたことを特徴とする。

【 0 0 4 4 】

また、本発明の半導体装置は、

前述した本発明の発振回路または電子回路を含んで構成されることを特徴とする。

【 0 0 4 5 】

また、本発明の発明の電子機器は、

前述した本発明の発振回路または電子回路を含んで構成されることを特徴とする。

【 0 0 4 6 】

このようにすることにより、例えば携帯電話や、携帯型のコンピュータ端末などの携帯用電子機器の電力消費を低減し、内蔵された電池や、バッテリー等の 2 次電池の電力消費を小さくすることが可能となる。

【 0 0 4 7 】

また、本発明の時計は、

前述した本発明の発振回路または電子回路を含んで構成されることを特徴とする。

【 0 0 4 8 】

このようにすることより、消費電力の小さな携帯用時計を実現することができ、この結果、使用する電池をさらに小さなものとして時計全体の小型化を図ることが可能となり、また、同一の容量の電池を使用する場合には、電池の長寿命化を図ることが可能となる。

【 0 0 4 9 】

【発明の実施の形態】

次に、本発明の好適な実施の形態を図面に基づき詳細に説明する。

【0050】

(1) 第1の実施の形態

(1-1) 基本構成

図1には、本発明の第1の実施の形態にかかる水晶発振回路が示されている。本実施の形態の水晶発振回路は、クォーツタイプの腕時計に使用される水晶発振回路である。

【0051】

本実施の形態の水晶発振回路は、信号反転増幅器30と、フィードバック回路と、を含んで構成される。前記フィードバック回路は、水晶振動子10と、抵抗14と、位相補償用のコンデンサ16, 18を含んで構成され、信号反転増幅器30の出力 $V_D(t)$ を180度位相反転し、これをゲート信号 $V_G(t)$ として信号反転増幅器30のゲートへフィードバック入力する。

【0052】

前記信号反転増幅器30は、第1の電位側と、これより低い電位の第2の電位側に接続され、両電位の電位差により電力供給を受け駆動されるように構成されている。ここで、前記第1の電位はアース電位 V_{DD} に設定され、第2の電位は電源回路部60から供給される負の電源電位 V_{reg} に設定されている。

【0053】

前記信号反転増幅器30は、第1の回路40と、第2の回路50とを含んで構成される。

【0054】

前記第1の回路40は、第1の半導体スイッチング素子として機能するP型の電界効果トランジスタ42を含んで構成され、このトランジスタ42のソースは、アース側に接続され、ドレインは出力端子70側へ接続され、そのゲートには前記フィードバック信号 $V_G(t)$ が印加される。

【0055】

前記第2の回路50は、第2の半導体スイッチング素子として機能するN型の

電界効果トランジスタ 5 2 を含んで構成され、このトランジスタ 5 2 のソースは、電源回路部 6 0 の電源端子側に接続され、ドレインは出力端子 7 0 側へ接続され（ここではトランジスタ 4 2 のドレインに接続されている）、そのゲートには前記フィードバック信号 $V_G(t)$ が印加される。

【 0 0 5 6 】

前記トランジスタ 4 2 としては、P 型でかつエンハンスメントタイプの電界効果型のトランジスタを用られ、前記トランジスタ 5 2 としては、N 型でかつエンハンスメントタイプのトランジスタを用いられている。そして、トランジスタ 4 2 の閾値電圧 V_{TP} 、トランジスタ 5 2 の閾値電圧 V_{TN} の値は、次式に示すようにそれらの絶対値の合計値が、信号反転増幅器 3 0 に印加される電源電圧（本実施の形態では、アース電位 V_{DD} を 0 に設定しているため、電源電圧はアース電位と電源電位の電位差である V_{reg} となる）の絶対値以上の値になるように設定されている。

$$|V_{reg}| \leq |V_{TP}| + |V_{TN}| \quad \dots\dots (2)$$

さらに、前記各トランジスタ 4 2、5 2 の閾値電圧の絶対値は、それぞれ次式で示すように電源電圧の絶対値を下回る値となるように設定されている。

$$\begin{aligned} |V_{reg}| &> |V_{TP}| \\ |V_{reg}| &> |V_{TN}| \quad \dots\dots (3) \end{aligned}$$

これにより、本実施の形態の水晶発振回路は、回路駆動時に信号反転増幅器 3 0 へ流れるショート電流の値を大幅に低減し、低消費電力化を図ることができる。

【 0 0 5 7 】

以下にその理由を説明する。

【 0 0 5 8 】

図 2 には、従来 of 水晶発振回路のタイミングチャート、図 3 には、本実施の形

態の水晶発振回路のタイミングチャートが示され、横軸は電源回路部60から電源電圧 V_{reg} が印加されてからの経過時間、縦軸は信号反転増幅器30へのフィードバック入力 $V_G(t)$ 、各トランジスタ42、52のオン、オフ状態をそれぞれ表している。

【0059】

前述したように、従来の水晶発振回路では、信号反転増幅器30を構成する2つのトランジスタ42、52の閾値電圧は、前記(1)式を満足するように設定されていた。この場合、各トランジスタ42、52の閾値電圧と、アース電位 V_{DD} 、電源電位 V_{reg} との関係を図示すると、図4に示すようになる。即ち、信号反転増幅器30へのフィードバック入力 $V_G(t)$ の値が、前記両閾値電圧 V_{TP} 、 V_{TN} の電位に対し、

$$V_{TP} > V_G(t) > V_{TN}$$

の範囲の値をとると、両トランジスタ42、52が共にオンされるショート領域が存在する。

【0060】

従って、図2に示すよう、フィードバック信号 $V_G(t)$ より各トランジスタ42、52が交互にオン、オフ駆動される途中で、両トランジスタ42、52が共にオン駆動されてしまう共通オン期間が周期的に発生し、高電位 (V_{DD}) から低電位 (V_{reg}) 側へショート電流が流れてしまい、これが電力消費を低減する上での妨げとなっていた。

【0061】

これに対し、本実施の形態では、各トランジスタ42、52の閾値電圧が、前記(2)式、(3)式を満足するように設定されている。この場合の各閾値電圧と、アース電位 V_{DD} 、電源電位 V_{reg} との関係を図示すると、図5に示すようになる。即ち、信号反転増幅器30へのフィードバック入力 $V_G(t)$ の値が、前記両閾値電圧 V_{TP} 、 V_{TN} の電位に対し、

$$V_{TN} > V_G(t) > V_{TP}$$

の範囲の値をとると、両トランジスタ42、52は、確実にオフされることになり、従来のように両トランジスタ42、52が共にオンしてしまう共通オン期間

は存在しない。

【 0 0 6 2 】

すなわち、図 3 に示すよう、フィードバック信号 $V_G(t)$ により各トランジスタ 4 2、5 2 が交互にオン、オフ駆動される途中で、両トランジスタ 4 2、5 2 が共にオンされる期間が存在しなくなり、従来問題になっていたショート電流を大幅に低減し、水晶発振回路の消費電力を少なくすることができる。

【 0 0 6 3 】

特に、本実施の形態では、信号反転増幅器 3 0 のショート電流対策を、回路の部品点数を増やすことなく行うことができる。

【 0 0 6 4 】

また、本実施の形態では、前記各トランジスタ 4 2、5 2 の閾値電圧の絶対値が前記 (3) 式に示すように電源電圧 V_{reg} の絶対値より小さな値に設定されている。これにより、水晶発振回路の安定した発振動作を維持しつつ、低消費電力化を実現することができる。

【 0 0 6 5 】

すなわち、水晶発振回路において信号反転増幅器 3 0 のフィードバック信号 $V_G(t)$ の振幅の絶対値は、信号反転増幅器の電源電圧 V_{reg} の絶対値を上回ることはない。このため、各トランジスタ 4 2、5 2 の閾値電圧の絶対値を前記 (3) 式を満足するように設定することにより、各トランジスタ 4 2、5 2 を安定して交互にオンオフ駆動させることができる。

【 0 0 6 6 】

本発明者らの実験によれば、絶対値が 0.9 ボルトの電源電圧 V_{reg} を用いて発振回路を駆動した際、各トランジスタ 4 2、5 2 の閾値電圧の絶対値の和を次式で示す範囲において変化させても良好な発振状態を維持でき、低消費電力化が可能であることが確認された。

【 0 0 6 7 】

$$1.4 \text{ ボルト} > |V_{TP}| + |V_{TN}| > 0.9 \text{ ボルト}$$

さらに、本実施の形態では、以下の理由から、トランジスタ 4 2、5 2 のオフリーク電流を小さくでき、この面からも、回路全体の消費電力を低減することが

できる。

【 0 0 6 8 】

図 6 は、エンハンスメント型トランジスタのドレイン電流 I_D とゲート・ソース間電圧 V_{GS} との関係を表す特性図である。同図に示すよう、エンハンスメント型のトランジスタでは、 $I_D - V_{GS}$ の特性カーブは、閾値電圧を低くするに従い、左側にシフトし、図中破線で示すようにそのオフリーク電流が増大する（同図において V_{GS} が閾値電圧 V_{TH} 以下でトランジスタがオフしているとき、図中破線で示すようにこのトランジスタに流れる電流 I_D がオフリーク電流となる）。

【 0 0 6 9 】

従って、従来の発振回路のように、トランジスタ 4 2、5 2 の閾値電圧を低く設定すると、閾値電圧以下でのオフリーク電流が大きくなり、その分、消費電力が大きくなる。

【 0 0 7 0 】

これに対し本実施の形態では、(2) 式で示すように各トランジスタ 4 2、5 2 の閾値電圧を大きな値に設定するため、各トランジスタ 4 2、5 2 を介して流れるオフリーク電流の値を大幅に小さくなり、回路全体の消費電力を低減することができる。

(1-2) OFF 領域の説明及び安定発振のための構成

次に、①具体的な Pch、Nch トランジスタ 4 2、5 2 の OFF 領域の定義について説明し、さらに、②信号反転増幅器 3 0 の Pch、Nch トランジスタの OFF 領域での安定発振について説明する。

【 0 0 7 1 】

①まず、Pch、Nch トランジスタ 4 2、5 2 の OFF 領域の定義を図 9 を参照して説明する。

【 0 0 7 2 】

Pch トランジスタ 4 2 のゲート電圧を V_{GP} 、ソース電圧を V_{SP} 、閾値電圧を V_{TP} とする。ここで、 $V_{DD} = G_{ND}$ とすると、 $|V_{SP}| = V_{DD} = 0$ となるため、ゲート・ソース電位差 V_{GSP} は、次式で表される。

【0073】

$$V_{GSP} = |V_{GP}| - |V_{SP}| = |V_{GP}|$$

そして、Pchトランジスタ42のOFF領域は、次のa式の条件を満足する、図9の、 $|V_{GP}| < |V_{TP}|$ の領域1000、1100として定義される。

【0074】

$$V_{GSP} = |V_{GP}| < |V_{TP}| \cdots a \text{ 式}$$

逆にON領域は、 $|V_{GP}| \geq |V_{TP}|$ の領域2000となる。

【0075】

ここで閾値電圧 V_{TP} は、シリコン結晶表面の伝導型が完全に反転するときのゲート電圧 V_{GP} として定義され、以下の式で表される。

【0076】

$$V_{TP} = 2\phi_E + [2 \cdot \epsilon_S \cdot q \cdot N_A \cdot (2\phi_E)]^{1/2} / (\epsilon_S / d) \cdots b \text{ 式}$$

ϕ_E : フェルミ電位

ϵ_S : ϵ_{Si} (シリコンの比誘電率) $\times \epsilon_0$ (真空の誘電率)

q : 電子の電荷

N_A : 基板濃度

d : 酸化膜厚み

次に、OFF領域の一部を構成するサブ閾値領域1100について説明する。

【0077】

上記a式を満足するOFF領域では、シリコン結晶表面の伝導型が僅かしか反転せず、キャリア密度に勾配がある時、密度の高いところから低い方へキャリアが動く「キャリアの拡散」により、ドレイン電流 I_D (トランジスタのOFF電流)が流れる。このドレイン電流は、サブ閾値電流といわれ、以下の式で表される。

【0078】

$$I_D = \alpha \cdot \exp [q \cdot (V_{GP} - V_{TP}) / k \cdot T] \cdots c \text{ 式}$$

α : 係数 k : ボルツマン定数 T : 絶対温度

図9において、この電流が流れる領域1100はサブ閾値領域とよばれ、OFF領域の一部を構成する。

【0079】

Nchトランジスタ52のOFF領域についても、Pchトランジスタ42と同様であるので、ここではその説明は省略する。

【0080】

なお、上記各トランジスタ42、52のOFF領域の説明は、後述する各実施の形態にも適用できる。

【0081】

②次に、Pch、Nchトランジスタ42、52の共通OFF領域での発振継続性について説明する。

【0082】

②-1. 信号反転増幅器30の駆動領域において、Pch、Nchトランジスタ42、52が同時にOFFする事があっても、上記①のサブ閾値領域110においてサブ閾値電流 I_D (トランジスタのOFF電流)が流れる。このため、この電流 I_D に応じた電源 V_{reg} からの電力供給により、発振継続が可能となる。

【0083】

②-2. 更に、本実施の形態では、水晶振動子10として、機械振動のし易さを表す指数Q値の高いものを使用する。これにより、水晶振動子10の慣性振動が大きくなる。このため、上記①のサブ閾値領域において、電源回路部60からの電力供給が少なくても、より安定した発振継続が可能となる。Q値は以下の式で表される。

【0084】

$$Q = \alpha / R \times t$$

$R \times t$: 水晶振動子の抵抗成分

α : 係数

Q値は10000以上あることが望ましい。

(1-3) 更なる低消費電力化のための構成

以下の式を満足しながら、更なる低消費電力化を図るには、トランジスタ42、52の閾値電圧 V_{TP} 、 V_{TN} は低くせず、定電圧 V_{reg} を極限まで低下させなくてはならない。

【0085】

$$|V_{reg}| \leq |V_{TP}| + |V_{TN}| \cdots (2) \text{ 式}$$

$$|V_{reg}| > |V_{TP}|, |V_{reg}| > |V_{TN}| \cdots (3) \text{ 式}$$

すなわち、図10に示すように、閾値電圧を低下させると、サブ閾値領域1100でのドレイン電流 I_D は、c式から明らかなように指数的に増加する。このため、閾値電圧を低下させることは、好ましくない。

【0086】

図11、図12は、 V_{reg} のみを変化させたものであり、図11の V_{reg1} と図12の V_{reg2} は $|V_{reg1}| > |V_{reg2}|$ の関係になっている。(図11、図12において、閾値電圧は同じ)

図11に示すように、 $|V_{reg}|$ を小さくすると、 $V_G - I_D$ カーブは、図中矢印3000方向へシフトする。

【0087】

図11、12において、信号反転増幅器30の直流バイアス電圧 V_{DC} に対するドレイン電流 I_{DC} を比較すると、 $I_{DC1} > I_{DC2}$ となる。従って、定電圧 $|V_{reg}|$ の絶対値を低下させると消費電流が低減できることになる。

【0088】

そこで課題になるのは、極限の低消費電流化を狙って、設計段階で図12のように設計しても、定電圧及び閾値電圧は量産時に各製品毎にバラツキが発生してしまうことである。

【0089】

これにより、定電圧 V_{reg2} は、その設計値より定電圧が更に小さくなったり、或は、閾値電圧 V_{TP} 、 V_{TN} も、その設計値よりその値が大きくなる可能性がある。そうなると、前述したc式から明らかなように、サブ閾値領域でのドレイン電流が小さくなり過ぎて安定発振が不可能となってしまう。

【0090】

例えば、図14Aに示すように、安定発振に必要な最小定電圧を V_{reg-A} 、量産時における定電圧のばらつき幅を ΔV_{reg} とする。そして、定電圧の設計狙い値を、上記最小定電圧 V_{reg-A} として製品を設計すると、実際に製造された製品

の定電圧の値は

最小値 $V_{\text{reg-min}} = V_{\text{reg-A}} - (\Delta V_{\text{reg}} / 2)$ と、

最大値 $V_{\text{reg-max}} = V_{\text{reg-A}} + (\Delta V_{\text{reg}} / 2)$ と、

の間で変動する。従って、量産時に各製品毎にバラツキが発生し、定電圧 V_{reg} が設計値 $V_{\text{reg-A}}$ より小さくなると、安定発振が不可能となってしまう。

【0091】

このような課題を解決するために、本実施の形態では図1のような回路構成を採用する。

【0092】

すなわち、量産時のバラツキに起因して、サブ閾値領域でのドレイン電流 I_D が小さくなり、安定発振に必要な電力が不足しても、その不足分を各トランジスタ42、52と並列に接続された定電流源600、610の電流により補う構成を採用する。

【0093】

サブ閾値領域の動作電流はNchトランジスタ52の場合は、トランジスタ52のサブ閾値電流 I_D と定電流源610の電流 I_2 の和になる。その反対にPchトランジスタ42の場合は、トランジスタ42のサブ閾値電流 I_D と定電流源600の電流 I_1 の和になる。

【0094】

これにより、量産バラツキにより設計段階で設定した値 $V_{\text{reg-A}}$ より実際の V_{reg} が小さくなったり、或は、 V_{TP} 、 V_{TN} が高くなってサブ閾値領域でのドレイン電流が小さくなっても、安定発振が可能となる。

(2) 第2の実施の形態

(2-1) 定電圧の設計狙い値の変形例

V_{reg} 、 V_{TP} 、 V_{TN} の量産バラツキといっても様々である。例えば上記とは逆に、 V_{reg} が高く、或は、 V_{TP} 、 V_{TN} が低くなる場合もある。つまりサブ閾値領域でのドレイン電流が充分大きくなり、定電流源600、610の電流が安定発振に必要なでない場合もある。

【 0 0 9 5 】

例えば、図 1 4 A に示すように、定電圧の設計狙い値を上記最小定電圧を V_{reg-A} として製品を設計すると、量産時のバラツキにより、定電圧 V_{reg} が設計値 V_{reg-A} より大きく、電力供給が過剰になる場合もある。この場合には、定電流を全てカットしても低消費電力化を図ることはできない。

【 0 0 9 6 】

このような課題を解決するために、本実施の形態では、例えば図 1 4 B に示すように定電圧の設計狙い値が V_{reg-B} となるように製品を設計する。

【 0 0 9 7 】

すなわち、安定発振に必要な最小定電圧 V_{reg-A} の絶対値と、定電圧の量産時におけるばらつき幅 ΔV_{reg} の値だけ前記最小定電圧の絶対値より小さな第 1 の定電圧 $V_{reg-MIN}$ の絶対値との間の値に、定電圧の設計狙い値 V_{reg-B} が設定される。ここでは、

設計狙い値 $V_{reg-B} = (\text{最小定電圧 } V_{reg-A}) - (\Delta V_{reg} / 2)$
の値に設定されている。

【 0 0 9 8 】

そして、安定発振に必要な電力が不足しても、その不足分を各トランジスタ 4 2、5 2 と並列に接続された定電流源 6 0 0、6 1 0 の電流により補う構成を採用する。

【 0 0 9 9 】

これにより、量産時のバラツキにより、定電圧 V_{reg} が変動しても、安定発振と低消費電力化を図ることができる。

【 0 1 0 0 】

(2-2) 本実施の形態では、量産時のバラツキによる定電圧 V_{reg} の変動に対し、よりきめこまかく対処するために、本実施の形態では、図 1 3 の回路構成を採用する。本実施の形態では、例えば図 1 4 B に示すように、安定発振に必要な最小定電圧 V_{reg-A} の絶対値と、定電圧の量産時におけるばらつき幅 ΔV_{reg} の値だけ前記最小定電圧の絶対値より小さな第 1 の定電圧 $V_{reg-MIN}$ の絶対値との間の値に、定電圧の設計狙い値 V_{reg-B} になるように製品を設計することが好まし

い。

【0101】

本実施の形態の発振回路は、量産バラツキに対応するため複数の定電流源 600-1、600-2、600-3、610-1、610-2、610-3 と、定電流源の選択回路とを有する。そして、安定発振を可能とする定電流源の電流値の最適化を、IC 製造工程(検査工程)で行ない、前述した図 1 に示す回路を構成する。

【0102】

具体的には、トランジスタ 42 と並列に、複数の第 1 の定電流源 600-1、600-2、600-3 を接続するとともに、トランジスタ 52 と並列に複数の第 2 の定電流源 610-1、610-2、610-3 を接続する。

【0103】

前記定電流源の選択回路は、以下のように構成される。

【0104】

すなわち、これら各トランジスタ 600-1、600-2、600-3、610-1、610-2、610-3 とそれぞれ直列に、定電流源選択用のスイッチング素子 602-1、602-2、602-3、612-1、612-2、612-3 を接続する。

【0105】

記憶回路 620 には、外部入力信号 IN1、IN2、IN3 のいずれかの信号が入力される。そして、記憶回路 620 は、外部入力信号に基づき、前記 3 種類の選択信号 SEL1、SEL2、SEL3 のいずれか 1 つを選択的に出力する。

【0106】

そして、記憶回路 620 から出力される 3 種類の選択信号 SEL1、SEL2、SEL3 を、それぞれ各スイッチング素子 602-1、602-2、602-3 のゲートに入力するとともに、インバータ 614-1、614-2、614-3 を介して、各スイッチング素子 612-1、612-2、612-3 のゲートに入力する。

【0107】

従って、選択信号 SEL 1 が出力された場合には、1組のトランジスタ 602-1、612-1 が ON され、1組の定電流源 600-1、610-1 が択一的に選択される。

【0108】

同様に、選択信号 SEL 2、SEL 3 がそれぞれ出力された場合には、他の組の定電流源 600-2、610-2 が択一的に選択され、または定電流源 600-3、610-3 が択一的に選択されることになる。

【0109】

以下に、図 13 の詳細を説明する。

【0110】

定電流源 600-1、600-2、600-3、610-1、610-2、610-3 から供給される定電流は、以下の関係に設定される。

【0111】

$$I_{11} > I_{12} > I_{13}, I_{21} > I_{22} > I_{23}$$

IC の検査工程において最初に、サブ閾値領域でのドレイン電流 I_D を測定する。

【0112】

その測定の結果、安定発振に必要なドレイン電流 I_D の不足分を判定し、不足電流を補充するために必要な定電流源を選択するための外部信号を記憶回路 620 へ入力する。例えば記憶回路 620 への外部入力信号として $IN1 = Low$ 、 $IN2 = High$ 、 $IN3 = High$ レベルを入力する。それに応じて記憶回路 620 は $SEL1 = Low$ 、 $SEL2 = High$ 、 $SEL3 = High$ を出力し、電流の大きな定電流源 600-1、610-1 を選択する。

【0113】

なお、測定の結果、ドレイン電流 I_D が大きく安定発振に補足電流が全く必要ないと判断された場合には、外部入力信号として $IN1 = High$ 、 $IN2 = High$ 、 $IN3 = High$ レベルを入力する。それに応じて記憶回路 620 は、 $SEL1 = High$ 、 $SEL2 = High$ 、 $SEL3 = High$ を出力し、定電流源 600、610 を選択しない。

【 0 1 1 4 】

この様にして、量産バラツキに対応して安定発振に必要な定電流源の電流値を最適化する。

【 0 1 1 5 】

なお、図 1 3 の回路は、定電流源 6 0 0 と定電流源 6 1 0 を対として、8 通りの組み合わせで定電流源を選択することもでき、また、外部入力信号を 3 つから 6 つに増して、定電流源 6 0 0 と定電流源 6 1 0 を各々個別に選択させる事も可能である。(V_{TP} 、 V_{TN} の量産バラツキは一方方向ではないため。)

又、図 1、図 1 3 の回路は、定電流源 6 0 0 と定電流源 6 1 0 を有するが、IC 製造プロセスによっては、Pch トランジスタと Nch トランジスタのサブ閾値領域でのドレイン電流特性が両者異なる場合もある。

【 0 1 1 6 】

この場合、必要に応じて安定発振に必要な補充電流を、定電流源 6 0 0 或は、定電流源 6 1 0 どちらか一方のみから補充するように構成しても良い。

【 0 1 1 7 】

また、上記実施の形態では、発振回路が複数の定電流源を有し、IC 検査工程で何れかの定電流源を選択する方式について説明したが、変形例として、1 つの定電流源を持ち、IC 検査工程で定電流源の電流能力そのものを調整する構成を採用しても良い。例えば、定電流源を構成する FET のバックゲート効果を利用して、FET の閾値を変え、ドレイン電流として供給される定電流の値を制御するようにしてもよい。

【 0 1 1 8 】

また記憶回路 6 2 0 は、EEPROM、強誘電体メモリ、不揮発性メモリ、FUSE 或はレーザーカットタイプのメモリ等で構成することができる。

③ 次に、本発明の条件 (2) 式、(3) 式を満足させた時の V_{TP} 、 V_{TN} の関係について説明する。前記第 1、第 2 の実施の形態及び後述する第 3 の実施の形態において、条件 (2) 式、(3) 式における V_{TP} 、 V_{TN} は

$$|V_{TP}| = |V_{TN}|$$

でも

$$|V_{TP}| \neq |V_{TN}|$$

どちらでもよい。

【0119】

$|V_{TP}| \neq |V_{TN}|$ となる場合としては、例えば、(2)式、(3)式を満足させながら発振開始電圧や発振停止電圧を低下させる場合などがある。

(3) 第3の実施の形態

前記第1、2の実施の形態では、各トランジスタ42、52の閾値電圧が前記(2)式を満足するように構成し、ショート電流を低減する場合を例にとり説明したが、本実施の形態では、前記各トランジスタ42、52が従来のように(1)式に示す条件で形成されている場合でも、各トランジスタ42、52のゲートに直流バイアス電圧を印加することにより、前記第1の実施の形態と同様に、信号反転増幅器30のショート電流を低減可能とするものである。

【0120】

図7には、本実施の形態の水晶発振回路が示されており、図8には、そのタイミングチャートが示されている。なお、前記第1、第2の実施の形態の定電流源600、610及び定電流源の選択回路についての構成、並びにその他の構成は本実施の形態にそのまま適用できるため、これらの説明は、ここでは省略する。

【0121】

本実施の形態の水晶発振回路は、各トランジスタ42、52の各ゲートに入力される前記信号反転増幅器30のフィードバック入力 $V_G(t)$ の直流電位を個別にシフトさせる第1のバイアス回路70、第2のバイアス回路80を含んで構成される。

【0122】

前記各バイアス回路70、80は直流成分を除去するためのコンデンサ72、82と、直流バイアス電圧印加用の抵抗74、84とを含んで構成される。

【0123】

前記コンデンサ72、82は、ゲート信号 $V_G(t)$ から直流成分を除去し、その信号を対応するトランジスタ42、52のゲートへ印加するために用いられ

る。

【0124】

前記抵抗74はトランジスタ42のゲートと、アース V_{DD} との間に接続され、トランジスタ42のゲートに入力されるフィードバック入力 $V_G(t)$ の直流電位をアース電位 V_{DD} まで引き上げる。

【0125】

前記抵抗84は、トランジスタ52のゲートと電源 V_{reg} との間に接続され、トランジスタ52のゲートに入力されるフィードバック入力 $V_G(t)$ の直流電位を電源電位 V_{reg} まで引き下げる。

【0126】

以上の構成とすることにより、上記の信号反転増幅器30にフィードバック入力されるゲート信号 $V_G(t)$ は、前記第1、第2のバイアス回路70、80により $V_{GP}(t)$ 、 $V_{GN}(t)$ に示すように直流電位が V_{DD} 、電源電位 V_{reg} へと変更された状態で各トランジスタ42、52のゲートに印加される。

【0127】

従って、各トランジスタ42、52が交互にオン、オフ駆動される途中で、両トランジスタ42、52が共にオン駆動される期間が存在しなくなり、この結果前記第1の実施の形態と同様に、信号反転増幅器30内を流れるショート電流を大幅に低減し、低消費電力化を図ることが可能となる。

【0128】

特に、本実施の形態では、エンハンスメント型トランジスタ42、52の各閾値電圧の絶対値を小さな値としても、ショート電流を低減することができる。この結果、信号反転増幅器30に印加する電源電圧を小さなものとし、この面からも、消費電力を低減することが可能となる。

【0129】

なお、前記第1のバイアス回路70、第2のバイアス回路80の印加するバイアス電圧は、各トランジスタ42、52が共通オン期間を持たないことを条件として、前記実施の形態以外の電位に、各トランジスタ42、52のゲートへのフィードバック入力の直流電位を、個別にシフトさせるように構成してもよい。

【 0 1 3 0 】

(4) その他の実施の形態

なお、本発明は、前記各実施の形態に限定されるものではなく、本発明の要旨の範囲内で各種の変形実施が可能である。

【 0 1 3 1 】

例えば、前記実施の形態では、信号反転増幅器 3 0 を構成する第 1 の回路 4 0 , 第 2 の回路 5 0 を、それぞれ 1 個のトランジスタを用いて構成する場合を例に取り説明したが、必要に応じ第 1 , 第 2 の回路 4 0 , 5 0 の機能を損なうことなく、前述以外の回路素子を組み合わせて回路を構成することも可能である。

【 0 1 3 2 】

また、前記実施の形態の水晶発振回路や、電子回路を含む半導体装置を構成し、これを、例えば携帯用の電話機、携帯用のコンピュータ端末およびその他の携帯機器等、電源容量に制約のある携帯用電子機器に搭載する事が好ましい。

【 0 1 3 3 】

また、本実施の形態においては、水晶発振回路を時計用の電子回路に用いる場合を例にとり説明したが、本発明はこれに限らず、これ以外の用途、例えば携帯用の電話機、携帯用のコンピュータ端末およびその他の携帯機器等、電源容量に制約のある携帯用電子機器に幅広く用いる場合にも極めて効果的なものとなる。

【 0 1 3 4 】

また、前記各実施例では、振動源が水晶振動子である水晶発振回路を例にとり説明したが、本発明の技術は圧電素子を振動子とする圧電モータなどの駆動回路(ドライバー)にも応用が可能である。

【図面の簡単な説明】

【図 1】

本発明にかかる水晶発振回路の第 1 の実施の形態の回路図である。

【図 2】

従来の回路のタイミングチャート図である。

【図 3】

図 1 に示す回路のタイミングチャート図である。

【図 4】

従来の回路の閾値電圧と電源電位、アース電位との関係を表す説明図である。

【図 5】

第 1 の実施の形態における閾値電圧と、電源電位、アース電位との関係を表す説明図である。

【図 6】

エンハンスメント型トランジスタの $V_{GS} - I_D$ 特性図である。

【図 7】

本発明の水晶発振回路の第 3 の実施の形態の回路図である。

【図 8】

第 2 の実施の形態のタイミングチャート図である。

【図 9】

オン領域とオフ領域の説明図である。

【図 1 0】

$V_G - I_D$ 特性図である。

【図 1 1】

$V_G - I_D$ 特性図である。

【図 1 2】

$V_G - I_D$ 特性図である。

【図 1 3】

本発明の水晶発振回路の第 2 の実施の形態の回路図である。

【図 1 4】

図 1 4 A、図 1 4 B は、定電圧の設計狙い値の説明図である。

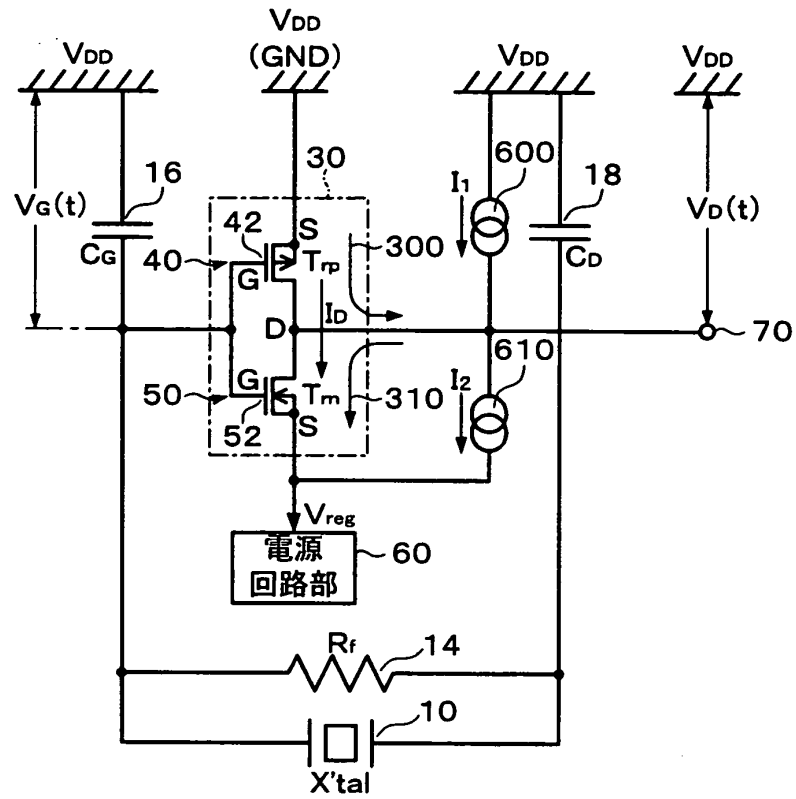
【符号の説明】

- 1 0 水晶振動子
- 1 4 フィードバック抵抗
- 3 0 信号反転増幅器
- 4 0 第 1 の回路
- 4 2 電界効果トランジスタ

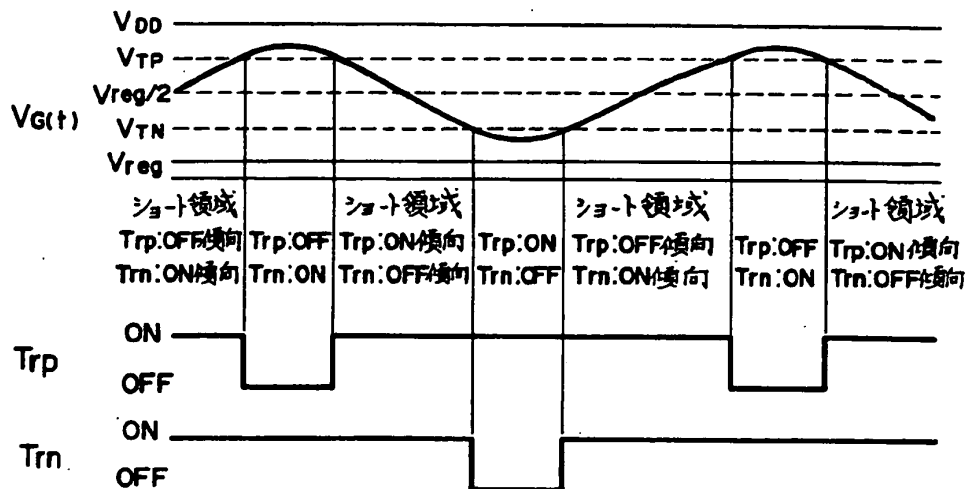
- 5 0 第 2 の回路
- 5 2 電界効果トランジスタ
- 6 0 電源回路部
- 6 0 0、6 1 0 定電流源
- 6 2 0 記憶回路

【書類名】 図面

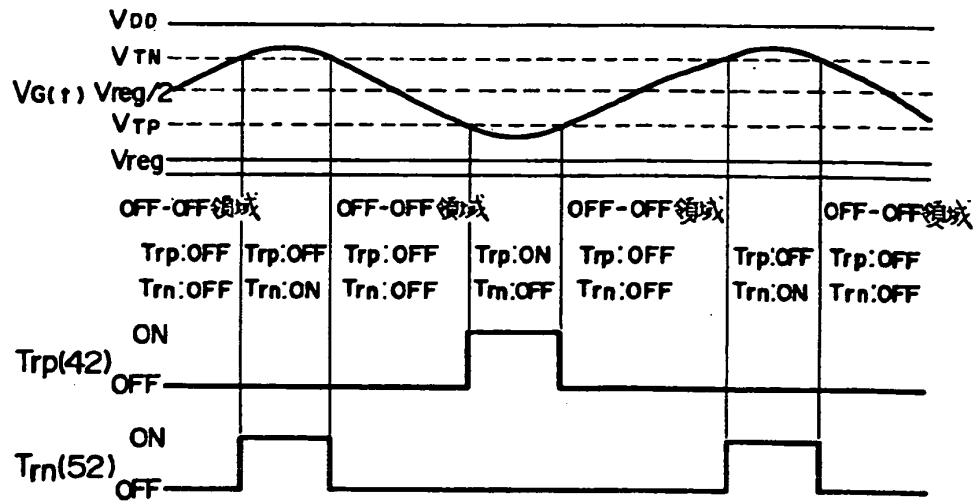
【図 1】



【図 2】

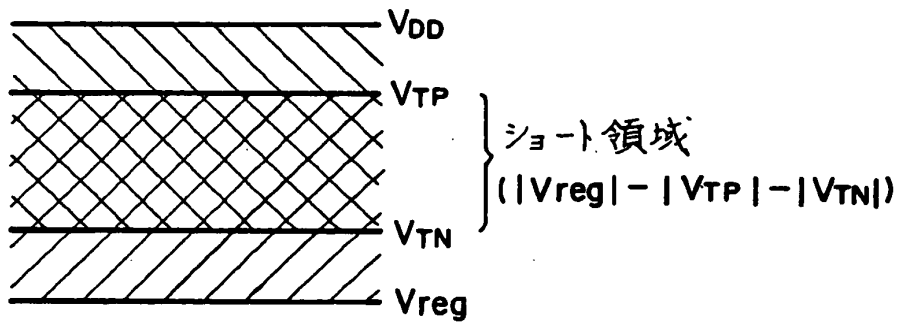


【図 3】



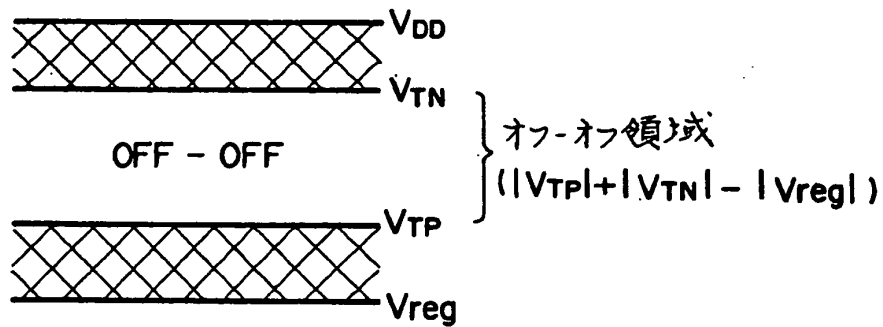
【図 4】

$$|V_{reg}| > |V_{TP}| + |V_{TN}|$$

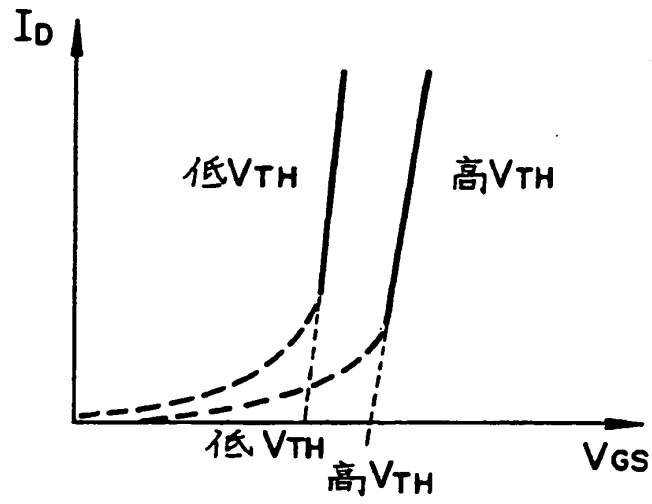


【図 5】

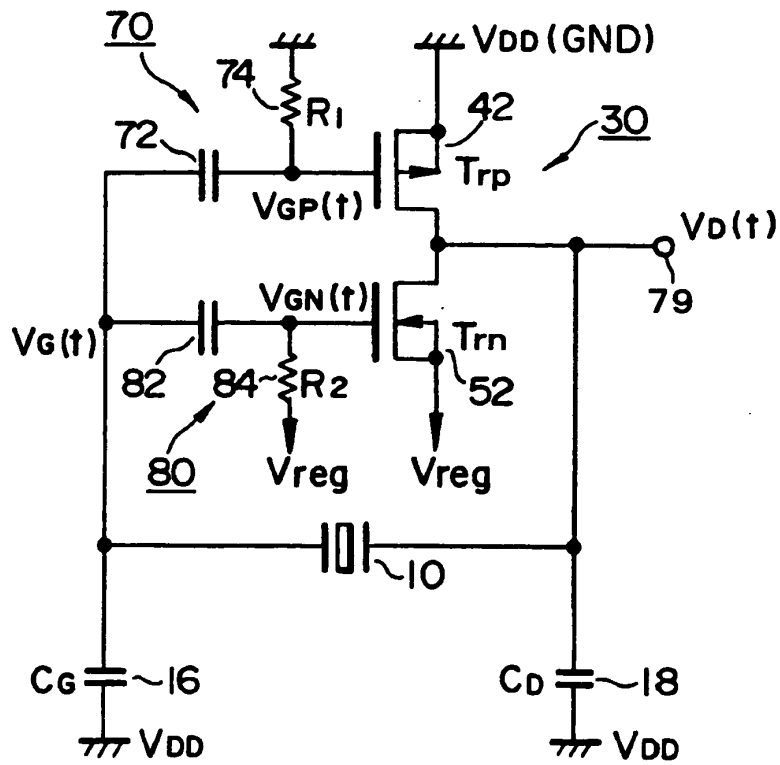
$$|V_{reg}| \leq |V_{TP}| + |V_{TN}|$$



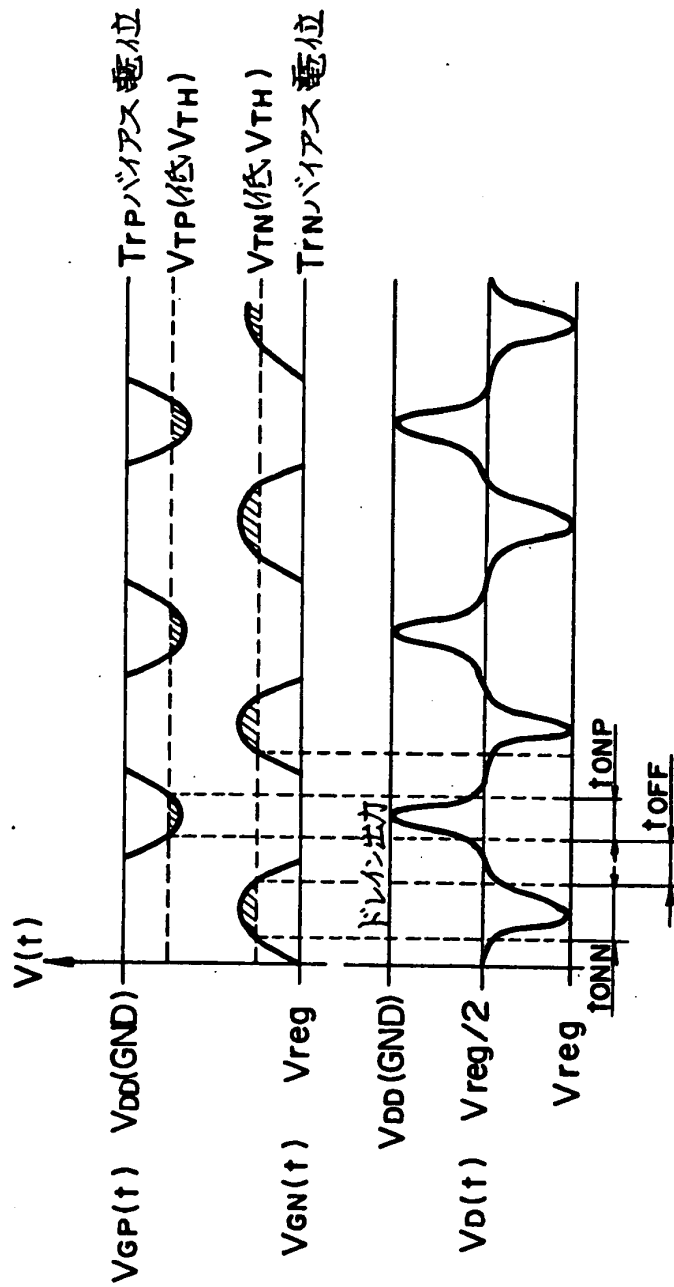
【図6】



【図7】

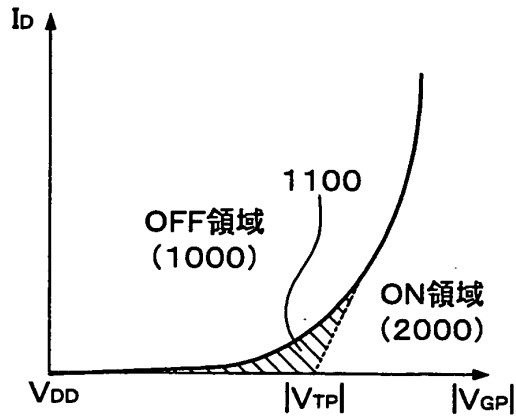


【図8】

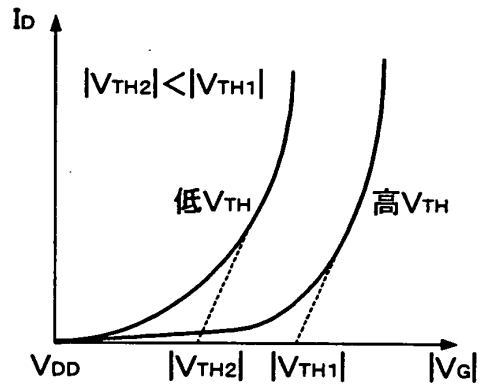


t_{ONN} : Nch Tr ON
 t_{ONP} : Pch Tr ON
 t_{OFF} : N. Pch Tr 共に OFF

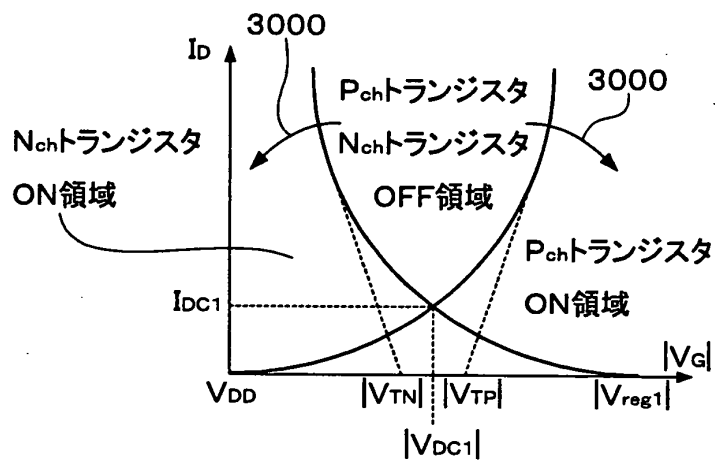
【図9】



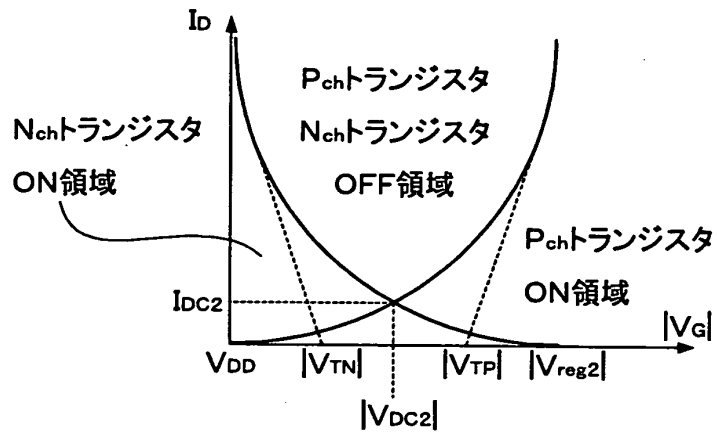
【図10】



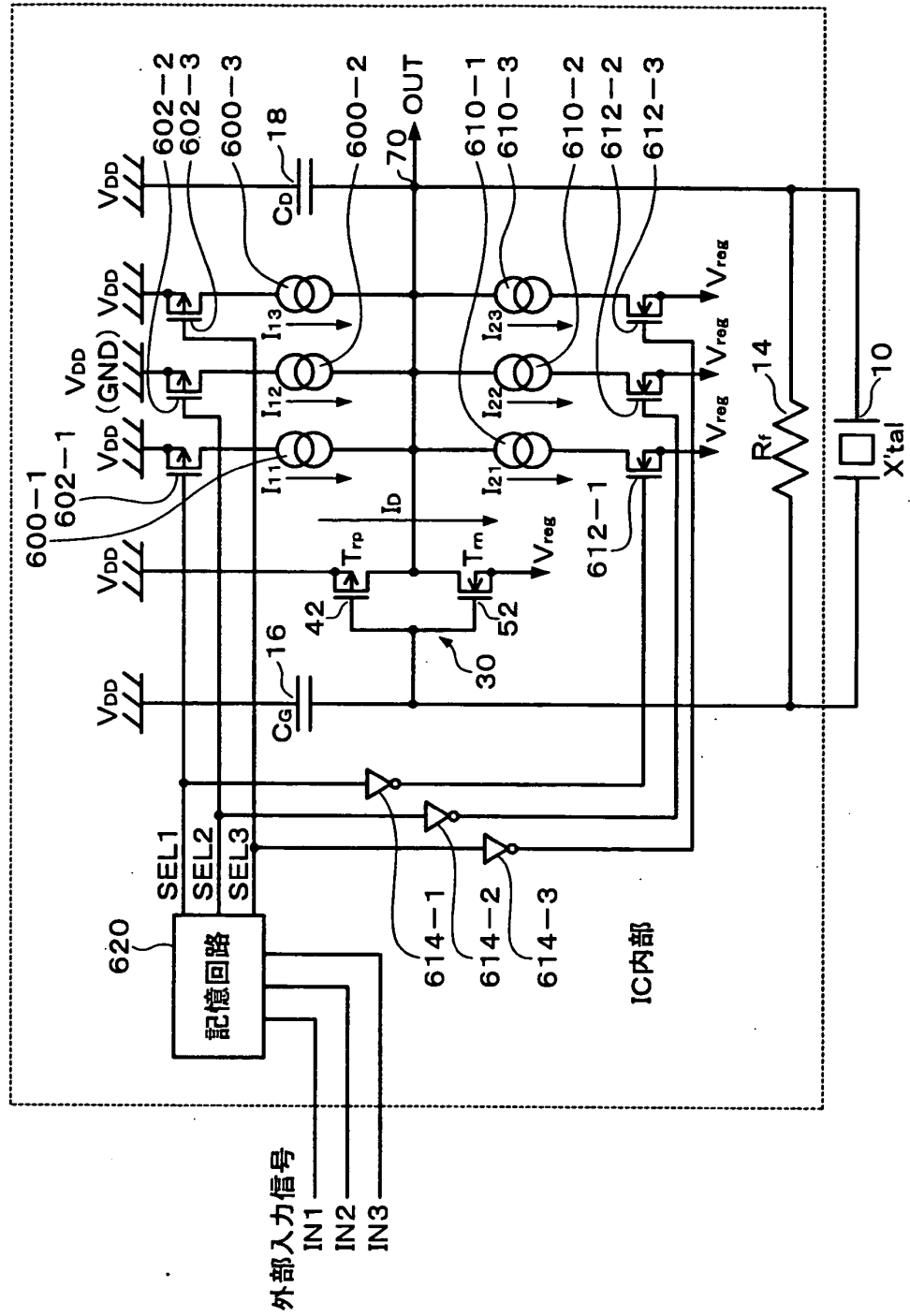
【図11】



【図 12】

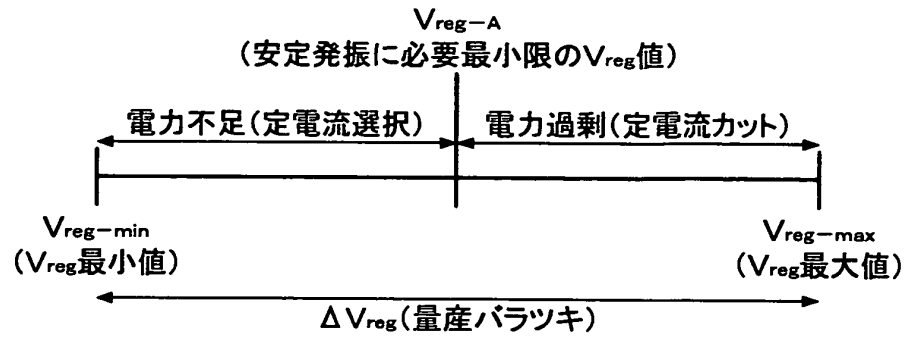


【図 13】

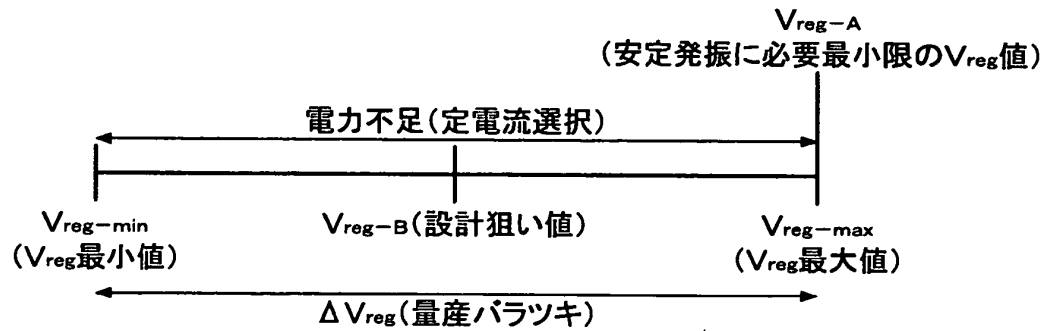


【図 1 4】

(A)



(B)



【書類名】 要約書

【要約】

【課題】 信号反転増幅器に流れるショート電流を低減し、少ない電力消費でより安定して発振することができる発振回路を提供することにある。

【解決手段】 信号反転増幅器 3 0 を構成する第 1、第 2 の半導体スイッチング素子 4 2、5 2 が、信号反転増幅器 3 0 に流れるショート電流を制限するために、共通オン期間を持たないように駆動される発振回路である。

そして、前記第 1、第 2 の半導体スイッチング素子 4 2、5 2 と並列に定電流源 6 0 0、6 1 0 を接続し、前記定電流源から安定発振に必要な不足電力を供給する

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社